

**MANUFACTURE OF CYLINDRICAL STACKED CAPACITOR TYPE CELL**

Patent Number: JP5275643  
Publication date: 1993-10-22  
Inventor(s): IWASAKI HARUO  
Applicant(s): NEC CORP  
Requested Patent: ☐ JP5275643  
Application Number: JP19920068606 19920326  
Priority Number(s):  
IPC Classification: H01L27/108; H01L27/04  
EC Classification:  
Equivalents: JP2783268B2

**Abstract**

**PURPOSE:** To prevent separation of a sidewall by a method of manufacturing a cylindrical stacked capacitor type cell, which comprises a process of polycrystalline silicon wet etching for removing the sidewall peeling in a memory cell.

**CONSTITUTION:** A necessary part of a polycrystalline silicon cylinder capacitor is masked with a photoresist 4 by a PR process. A sidewall made of an oxide film is removed by an oxide film wet etching 5. A polycrystalline silicon film 2 is removed by a polycrystalline silicon wet etching 6. Thereby, in a large pattern, the length of a linear part of which is 10μm or more, separation of the sidewall can be prevented. Accordingly, even in the case where such multiple sidewall formation process as a cylinder capacitor formation process is included, the etching tank can be used without being contaminated.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-275643

(43) 公開日 平成5年(1993)10月22日

(51) Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 27/108				
27/04	C	8427-4M		
		8728-4M	H 0 1 L 27/10	3 2 5 C
		8728-4M		3 2 5 M

審査請求 未請求 請求項の数7(全 6 頁)

(21) 出願番号 特願平4-68606

(22) 出願日 平成4年(1992)3月26日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 岩崎 治夫

東京都港区芝五丁目7番1号 日本電気株式会社内

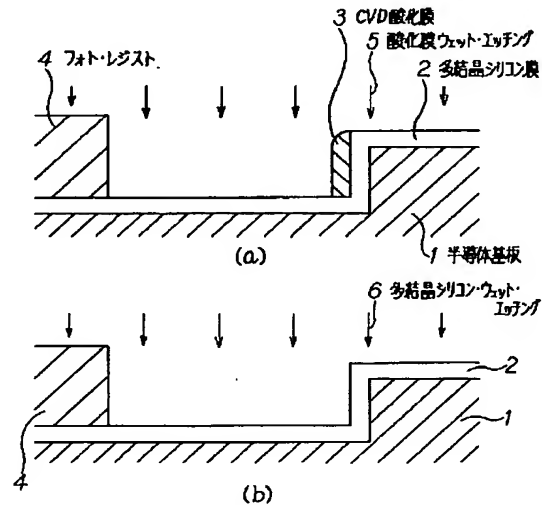
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 円筒型スタック・キャパシタ型セルの製造方法

(57) 【要約】

【目的】 多重円筒型スタック・キャパシタのような多重のサイド・ウォールを形成するプロセスを経た場合において、直線状の部分が10 $\mu$ m以上の大きなパターンにおいて、サイド・ウォールの剥がれが起きないようにする。

【構成】 多重のサイド・ウォールを形成するプロセスを経る場合において、サイド・ウォールが不要な部分について、酸化膜および多結晶シリコンのウィット・エッチングを行う工程を含んでいる。



## 【特許請求の範囲】

【請求項1】 1重の構造をもつキャパシタの円筒型スタック・キャパシタ型セルの製造方法において、メモリ・セル外に形成されたサイド・ウォールを取り除くための多結晶シリコン・ウェット・エッチングを行う工程を含むことを特徴とする円筒型スタック・キャパシタ型セルの製造方法。

【請求項2】 多重の構造をもつキャパシタの円筒型スタック・キャパシタ型セルの製造方法において、酸化膜のサイド・ウォールが形成される度に、メモリ・セル外に形成されたサイド・ウォールを取り除くための酸化膜ウェット・エッチングおよび多結晶シリコン・ウェット・エッチングを行う工程を含むことを特徴とする円筒型スタック・キャパシタ型セルの製造方法。

【請求項3】 多重の構造をもつキャパシタの円筒型スタック・キャパシタ型セルの製造方法において、酸化膜のサイド・ウォールが形成される度に、メモリ・セル外の前記酸化膜サイド・ウォールを取り除くための酸化膜ウェット・エッチングを行う工程と、最終的に、前記メモリ・セル外の前記多結晶シリコンを取り除くための多結晶シリコン・ウェット・エッチングを行う工程を含むことを特徴とする円筒型スタック・キャパシタ型セルの製造方法。

【請求項4】 多重の構造をもつキャパシタの円筒型スタック・キャパシタ型セルの製造方法において、酸化膜のサイド・ウォールが形成される度に、メモリ・セル外の前記酸化膜サイド・ウォールを取り除くための酸化膜ウェット・エッチングを行う工程を含むことを特徴とする円筒型スタック・キャパシタ型セルの製造方法。

【請求項5】 段差のある半導体基板上に、第1の多結晶シリコン膜と第1のCVD酸化膜とを順次堆積する工程と、酸化膜プラズマ・エッチングを行って、第1の酸化膜サイド・ウォールを形成する工程と、メモリ・セルとして必要な部分をフォト・レジストでマスクした状態で、前記メモリ・セル外に形成された前記第1の酸化膜サイド・ウォールを酸化膜ウェット・エッチングによって取り除く工程と、前記メモリ・セルとして必要な部分を前記フォト・レジストでマスクした状態で、前記メモリ・セル外に形成された前記第1の多結晶シリコン膜を多結晶シリコン・ウェット・エッチングによって取り除く工程と、第2の多結晶シリコン膜と第2のCVD酸化膜とを順次堆積する工程と、酸化膜プラズマ・エッチングを行って、第2の酸化膜サイド・ウォールを形成する工程と、前記メモリ・セルとして必要な部分をフォト・レジストでマスクした状態で、前記メモリ・セル外に形成された前記第2の酸化膜サイド・ウォールを酸化膜ウェット・

エッチングによって取り除く工程と、前記メモリ・セルとして必要な部分を前記フォト・レジストでマスクした状態で、前記メモリ・セル外に形成された前記第2の多結晶シリコン膜を多結晶シリコン・ウェット・エッチングによって取り除く工程と、下地の多結晶シリコン膜が全てエッチングされる程度に、多結晶シリコン・プラズマ・エッチングを行う工程と、コアの部分及びサイド・ウォールの部分の酸化膜が全てエッチングされるように、酸化膜エッチングを行う工程とを含む円筒型スタック・キャパシタ型セルの製造方法。

【請求項6】 段差のある半導体基板上に、第1の多結晶シリコン膜と第1のCVD酸化膜とを順次堆積する工程と、酸化膜プラズマ・エッチングを行って、第1の酸化膜サイド・ウォールを形成する工程と、メモリ・セルとして必要な部分をフォト・レジストでマスクした状態で、前記メモリ・セル外に形成された前記第1の酸化膜サイド・ウォールを酸化膜ウェット・エッチングによって取り除く工程と、第2の多結晶シリコン膜と第2のCVD酸化膜とを順次堆積する工程と、酸化膜プラズマ・エッチングを行って、第2の酸化膜サイド・ウォールを形成する工程と、前記メモリ・セルとして必要な部分をフォト・レジストでマスクした状態で、前記メモリ・セル外に形成された前記第2の酸化膜サイド・ウォールを酸化膜ウェット・エッチングによって取り除く工程と、前記メモリ・セルとして必要な部分を前記フォト・レジストでマスクした状態で、前記メモリ・セル外に形成された前記第1及び前記第2の多結晶シリコン膜を多結晶シリコン・ウェット・エッチングによって取り除く工程と、下地の多結晶シリコン膜が全てエッチングされる程度に、多結晶シリコン・プラズマ・エッチングを行う工程と、コアの部分及びサイド・ウォールの部分の酸化膜が全てエッチングされるように、酸化膜エッチングを行う工程とを含む円筒型スタック・キャパシタ型セルの製造方法。

【請求項7】 段差のある半導体基板上に、第1の多結晶シリコン膜と第1のCVD酸化膜とを順次堆積する工程と、酸化膜プラズマ・エッチングを行って、第1の酸化膜サイド・ウォールを形成する工程と、メモリ・セルとして必要な部分をフォト・レジストでマスクした状態で、前記メモリ・セル外に形成された前記第1の酸化膜サイド・ウォールを酸化膜ウェット・エッチングによって取り除く工程と、

第2の多結晶シリコン膜と第2のCVD酸化膜とを順次堆積する工程と、

酸化膜プラズマ・エッチングを行って、第2の酸化膜サイド・ウォールを形成する工程と、

前記メモリ・セルとして必要な部分をフォト・レジストでマスクした状態で、前記メモリ・セル外に形成された前記第2の酸化膜サイド・ウォールを酸化膜ウェット・エッチングによって取り除く工程と、

下地の多結晶シリコン膜が全てエッチングされる程度に、多結晶シリコン・プラズマ・エッチングを行う工程と、

コアの部分及びサイド・ウォールの部分の酸化膜が全てエッチングされるように、酸化膜エッチングを行う工程とを含む円筒型スタックト・キャパシタ型セルの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、円筒型スタックト・キャパシタ型セルの製造方法に関し、特に多重サイド・ウォールを形成するプロセスに関する。

【0002】

【従来の技術】従来、高集積のダイナミック・ランダム・アクセス・メモリ(DRAM)のメモリ・セルとして、スタックト・キャパシタ型セルが知られている。また、さらに、微細化するメモリ・セルに対応するため、スタックト・キャパシタを3次元的に配置して、蓄積容量を大きくかつメモリ・セル面積を小さくする記憶装置が種々提案されている。

【0003】スタックト・キャパシタ型セルを多重の円筒型で形成するの一つの方法である。ところで、通常では、重ね合わせ精度測定パターンや工程ナンバーパターンのように、メモリ・セル以外にもパターンを形成する必要がある。

【0004】図2(a)に従来例の工程ナンバーパターンの平面図を示し、(b)にボンディング・パッドのような大きな矩形のパターンの角の部分を拡大した上面図を示す。図2において、7は段差形状の山の部分を示す。

【0005】多重円筒型キャパシタ形成プロセスを経た場合には、前記のようなパターンのエッジ部分においても多重の多結晶シリコンの壁が形成されることになる。以下に、これについて説明する。

【0006】気相成長法(CVD)により、厚さ1000オングストロームの多結晶シリコン膜を形成する。その後、厚さ3000オングストロームのCVD酸化膜を成長し、露光、エッチング等のパターンニングを行うことにより、メモリ・セル内には円柱型の形状が得られる。この時点で、図2(b)のようなパターンでは、初め、図3(a)のような、半導体基板(シリコン)1の段差が形成されている。

【0007】次に、図3(b)のように、厚さ500オングストロームの多結晶シリコン膜2、厚さ500オングストロームのCVD酸化膜3を順次堆積する。図3(c)のように、酸化膜プラズマ・エッチング8を行い、自己整合法により、酸化膜サイド・ウォール3を形成する。

【0008】再び、図4(a)のように、例えば、厚さ500オングストロームの多結晶シリコン膜2、厚さ500オングストロームのCVD酸化膜11を順次堆積する。さらに、図4(b)のように、酸化膜プラズマ・エッチング8を行い、自己整合法により、酸化膜サイド・ウォール11を形成する。次に、図4(c)のように、下地の部分の多結晶シリコン膜2が全てエッチングされる程度に、多結晶シリコン・プラズマ・エッチング9を行う。

【0009】さらに、図5のように、コアの部分及びサイド・ウォールの部分の酸化膜3、11が全てエッチングされるように、酸化膜エッチングを行う。すると、メモリ・セル内には円筒状に多結晶シリコンの壁2だけが残し、二重の円筒型シリンドラ・キャパシタが形成される。

【0010】同様に、図2(a)のようなパターンのエッジ部分においても、図5のように、長い二重の多結晶シリコンの壁が形成されるようになる。

【0011】

【発明が解決しようとする課題】上述した従来技術のようなプロセスを経た場合には、図2に示したようなパターンのエッジの部分においても、図3～図5に示すようにして、2重の多結晶シリコンの壁が形成されることとなる。この場合、パターンの直線状の部分が10 $\mu$ m以上の大きいパターンにおいては、この長い多結晶シリコンの壁2が酸化膜3、11のエッチングを行う時に剥がれてしまい、エッチング槽を汚染するという問題が起こる。

【0012】したがって、本発明の目的は、パターンの直線状の部分が10 $\mu$ m以上の大きいパターンにおいて、サイド・ウォールの剥がれが起きないようにする円筒型スタックト・キャパシタ型セルの製造方法を提供することにある。

【0013】

【課題を解決するための手段】本発明の第1の態様による円筒型スタックト・キャパシタ型セルの製造方法は、1重の構造をもつキャパシタの円筒型スタックト・キャパシタ型セルの製造方法において、メモリ・セル外に形成されたサイド・ウォールを取り除くための多結晶シリコン・ウェット・エッチングを行う工程を含むことを特徴とする。

【0014】本発明の第2の態様による円筒型スタックト・キャパシタ型セルの製造方法は、多重の構造をもつキャパシタの円筒型スタックト・キャパシタ型セルの製

造方法において、酸化膜のサイド・ウォールが形成される度に、メモリ・セル外に形成されたサイド・ウォールを取り除くための酸化膜ウェット・エッチングおよび多結晶シリコン・ウェット・エッチングを行う工程を含むことを特徴とする。

【0015】本発明の第3の態様による円筒型スタックト・キャパシタ型セルの製造方法は、多重の構造をもつキャパシタの円筒型スタックト・キャパシタ型セルの製造方法において、酸化膜のサイド・ウォールが形成される度に、メモリ・セル外の前記酸化膜サイド・ウォールを取り除くための酸化膜ウェット・エッチングを行う工程と、最終的に、前記メモリ・セル外の前記多結晶シリコンを取り除くための多結晶シリコン・ウェット・エッチングを行う工程を含むことを特徴とする。

【0016】本発明の第4の態様による円筒型スタックト・キャパシタ型セルの製造方法は、多重の構造をもつキャパシタの円筒型スタックト・キャパシタ型セルの製造方法において、酸化膜のサイド・ウォールが形成される度に、メモリ・セル外の前記酸化膜サイド・ウォールを取り除くための酸化膜ウェット・エッチングを行う工程を含むことを特徴とする。

【0017】

【実施例】以下、本発明の実施例について図面を参照して説明する。

【0018】図1(a)は、PR工程により、多結晶シリコンの円筒型シリンド・キャパシタが必要な部分を、フォト・レジスト4でマスクしたのち、酸化膜ウェット・エッチング5で酸化膜のサイド・ウォールを取り除く工程を示している。

【0019】図1(b)は、フォト・レジスト4でマスクしたのち、多結晶シリコン・ウェット・エッチング6で多結晶シリコンを取り除く工程を示している。

【0020】(実施例1)次に、本発明の第1の実施例による円筒型スタックト・キャパシタ型セルの製造方法について説明する。

【0021】図3(c)に示す工程と図4(a)に示す工程との間、図4(b)に示す工程と図4(c)に示す工程との間の、酸化膜のサイド・ウォールが形成される度に、図1(a)および図1(b)で示した工程を順に挿入することにより、不必要な多結晶シリコンの壁2を取り除く。

【0022】(実施例2)次に、本発明の第2の実施例による円筒型スタックト・キャパシタ型セルの製造方法について説明する。

【0023】ここでは、n重の円筒型シリンド・キャパシタを形成する場合、例えば、2重の円筒型シリンド・キャパシタを形成する場合について説明する。

【0024】1重目の多結晶シリコンの壁を形成する工程においては、酸化膜のサイド・ウォールを取り除く工

程の前、従来例では、図3(c)に示す工程と図4(a)に示す工程との間に、図1(a)に示す工程を挿入する。

【0025】次に、2重目の工程、従来例でいうと、図4(b)に示す工程と図4(c)に示す工程との間に、図1(a)および図1(b)で示した工程を挿入することによって、メモリ・セル外の不要な酸化膜サイド・ウォールと多結晶シリコンの壁を取り除く。

【0026】(実施例3)次に、本発明の第3の実施例による円筒型スタックト・キャパシタ型セルの製造方法について説明する。

【0027】図3(c)に示す工程と図4(a)に示す工程との間、図4(b)に示す工程と図4(c)に示す工程との間の、酸化膜のサイド・ウォールが形成される度に、図1(a)で示した工程を挿入することにより、メモリ・セル外にできる多結晶シリコンのサイド・ウォールをくし型ではない、単純なサイド・ウォール形状にすることにより、剥がれ難くする。

【0028】

【発明の効果】以上の説明で明らかなように、本発明では、多結晶シリコンの壁を除去する工程を含んでいるので、例えば、円筒型シリンド・キャパシタ形成プロセスのような多重のサイド・ウォールを形成するプロセスを経た場合においても、エッジの部分に形成される多結晶シリコンの壁がないため、それがエッチング槽を汚染せずすまうことができる。

【図面の簡単な説明】

【図1】本発明の実施例で用いる工程を示す図である。

【図2】従来の多重円筒型スタックト・キャパシタ形成プロセスを用いた場合に問題が発生する部分を示す図である。

【図3】従来の工程で、二重の円筒型スタックト・キャパシタ形成プロセスを用いた場合の図2(b)のA-A'線に沿う断面を、前半の工程を順に示す図である。

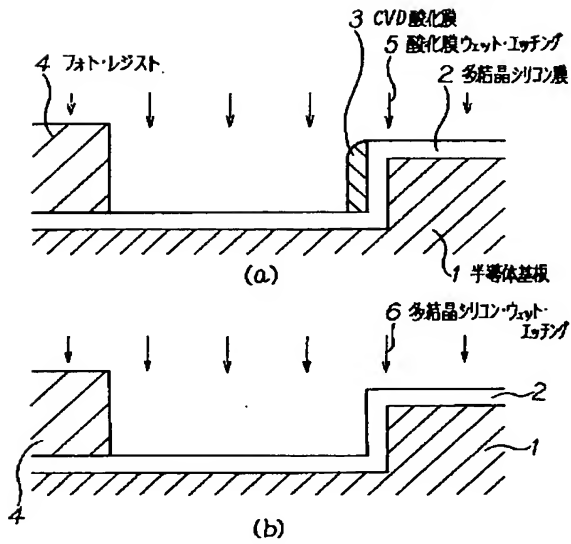
【図4】図3に示す工程に続く中間の工程を順に示す図である。

【図5】図4に示す工程に続く最終の工程を示す図である。

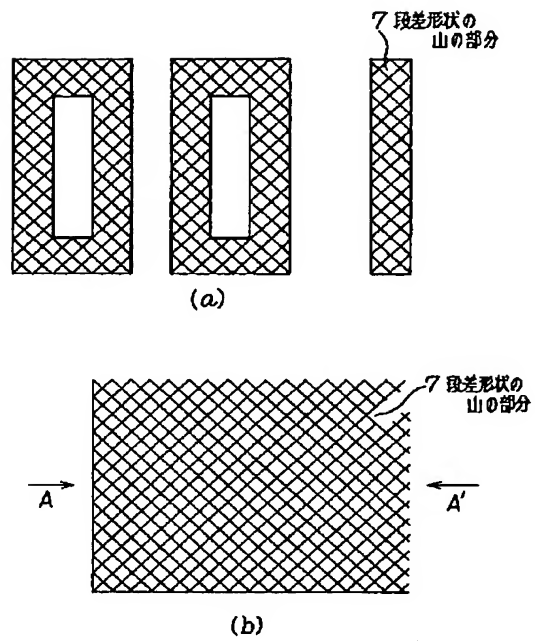
【符号の説明】

- |    |                    |
|----|--------------------|
| 1  | 半導体基板              |
| 2  | 多結晶シリコン膜           |
| 3  | CVD酸化膜             |
| 4  | フォト・レジスト           |
| 5  | 酸化膜ウェット・エッチング      |
| 6  | 多結晶シリコン・ウェット・エッチング |
| 7  | 段差形状の山の部分          |
| 8  | 酸化膜プラズマ・エッチング      |
| 9  | 多結晶シリコン・プラズマ・エッチング |
| 10 | 全面酸化膜ウェット・エッチング    |

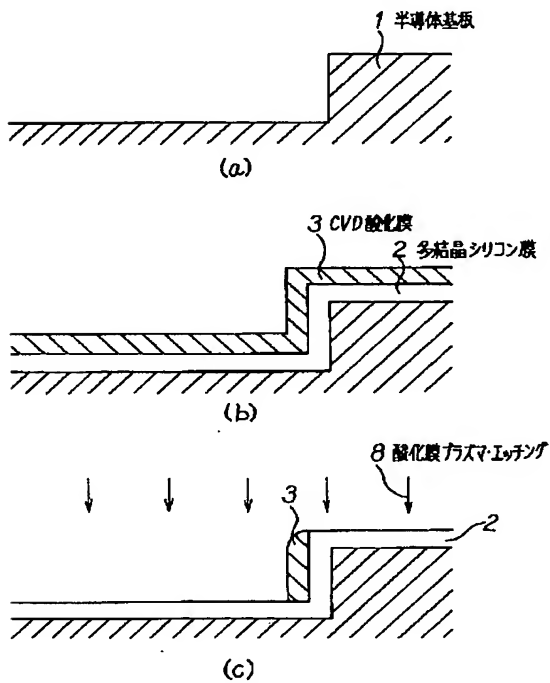
【図1】



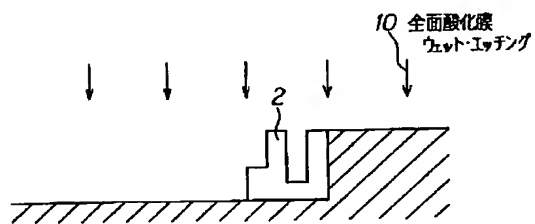
【図2】



【図3】



【図5】



【図4】

